

강의 계획서

이수구분	전공	교과목명	고급디지털시스템설계	교수명	정준모
1. 수업개요					
본 수업은 디지털 회로를 Verilog HDL을 이용하여 구현하는 방법에 대해서 학습한다. 디지털 회로는 아날로그 회로에 비해서 노이즈에 강하고, 설계 툴(Tool)의 다양화 및 고속화로 인하여 설계속도가 빠른 장점을 갖기 때문에 IC 회로 개발에 많이 사용된다. 디지털 회로를 설계하는 방법은 Schematic Capture(회로도를 이용한 설계)와 HDL(Hardware Description Language)를 이용하는 방법이 있는데 HDL을 이용하면 설계 속도가 빠르고 검증이 용이하여 대부분 이 방법을 사용한다. 본 수업은 HDL중에 산업체에서 가장 많이 사용되는 Verilog HDL을 이용하여 디지털 회로를 설계하는 방법에 대해서 이론과 실습으로 진행한다. 이론 수업에서는 조합회로와 순서회로를 HDL로 설계하고 검증하는 방법을 다루며, 실습시간에는 한백전자의 트레이닝 보드를 이용하여 FPGA chip에 회로를 구현실습한다. 또한 PBL(Problem Based Learning)을 이용하여 팀을 구성하고 팀별로 과제를 수행하고 결과를 발표하는 방식으로 진행하고자 하며, 과제는 조합회로와 순차회로에 대해서 적절하게 부여할 예정이다.					
2. 학습목표					
<ul style="list-style-type: none"> 데이터를 분석하고 주어진 사실이나 가설을 실험을 통하여 확인할 수 있는 능력 현실적 제한조건을 고려하여 시스템, 요소, 공정 등을 설계할 수 있는 능력 					
3. 교재 및 참고도서	구분	교재명	저자	출판사	출판년도
	주교재	Verilog HDL을 이용한 디지털 회로설계	정준모	자체교재	
	부교재	[개정판]Verilog HDL을 이용한 디지털 시스템 설계	이승은	광문각	2020
	부교재	Verilog HDL을 이용한 디지털시스템 설계 및 실습	신경욱	카오스	2016
4. 주별 세부내용	수업 주제 및 학습목표				
	1주차	ASIC 설계			
	2주차	기초개념 및 Quartus II 툴 소개, HDL의 개념 및 예제회로 컴파일			
	3주차	Verilog HDL의 기술형식과 게이트 연산자			
	4주차	연속대입문과 연산자			
	5주차	데이터형, 동작레벨 기술			
	6주차	조합회로 설계			
	7주차	decoder/encoder 설계			
	8주차	중간고사			
	9주차	플립플롭, 시프트레지스터			
	10주차	카운터 설계			
	11주차	FSM 기본 및 응용설계			
	12주차	계층 설계			
	13주차	디스플레이 응용설계			
	14주차	컴파일러 지시어			
	15주차	캐릭터 LCD 설계			
	16주차	기말고사			